

一种双模可配置 Delta-Sigma 调制器的设计

闫 宁, 李冬梅, 李国林

(清华大学 电子工程系, 北京 100084)

摘 要: 本论文提出了一种双模可配置 Delta-Sigma ($\Delta\Sigma$) 调制器, 该调制器可配置为两种结构: 适用于低频高精度应用的 3 阶 4 比特量化的结构和适用于高频低精度应用的 2 阶 4 比特量化的结构. 调制器在两种模式下复用了包括开关和电容在内的绝大部分电路模块, 并采用了一种高效的运算放大器 (OTA) 结构和带有输入失调校准技术 (IOS) 的比较器结构, 此外还引入了动态元件匹配 (DEM) 电路来减小电容失配的影响. 本设计使用的是 $0.18\ \mu\text{m}$ 的 CMOS 工艺, 调制器在两种模式下分别可以达到 77.1 dB 和 108.9 dB 的峰值信号谐波失真比 (SNDR), 对应的输入信号带宽分别为 1.25 MHz 和 39 kHz, 芯片的整体功耗为 12 mW.

关键词: $\Delta\Sigma$ 调制器; 双模可配置; 开关电容; 比较器

中图分类号: TN432

文献标识码: A

文章编号: 1000-7180(2016)12-0042-05

Design of a Dual-Mode Configurable Delta-Sigma Modulator

YAN Ning, LI Dong-mei, LI Guo-lin

(Department of Electronic Engineering, Tsinghua University, Beijing 10084, China)

Abstract: This paper presents a dual-mode delta-sigma ($\Delta\Sigma$) modulator. The modulator can be configured for two structures, 3rd-order 4-bit in low-frequency high-resolution applications, and 2nd-order 4-bit in high-frequency low-resolution applications. Most of the circuit parts including the capacitors and switches are shared in both modes. An efficient OTA and comparators with Input Offset Calibration (IOS) technique are adopted. The modulator is fabricated in $0.18\ \mu\text{m}$ CMOS technology. It achieves 77.1 dB and 108.9 dB peak signal-to-noise and distortion ratio (SNDR) separately in two modes with 39 kHz and 1.25 MHz input signal bandwidth. The power consumption is about 12 mW.

Key words: delta-sigma modulator; dual-mode configurable; switched capacitor; comparator

1 引言

相比奈奎斯特采样的模数转换器 (ADC), $\Delta\Sigma$ 结构由于采用了过采样和噪声整形技术, 已被广泛应用在工业测量、专业音频编解码等高精度应用当中. 随着 CMOS 工艺的快速发展, $\Delta\Sigma$ 调制器仅可应用在以上领域的观点正在逐渐改变. $\Delta\Sigma$ 调制器已越来越多的应用到多种数据接收机当中, 比如 AD-SL^[1]、ISDB-T/DVB-T^[2]、802.11n/WiMax^[3] 等.

不同的应用需要使用不同的调制器结构来实现适合的分辨率. 由于技术和工艺的限制, 调制器在设计和使用过程中需要对工作速度和分辨率进

行权衡考虑. 高精度应用时的输入信号频率相对较低, 而为了将输入信号频率提高, 则需牺牲一定的分辨率作为代价. 在很多情况下, 如果需要使用高频、低频两种应用, 则需配置两种不同结构的 $\Delta\Sigma$ 调制器以供使用. 因此, 亟需一种既可以配置为低速高精度模式, 又可以配置为高速低精度模式的双模可配置 $\Delta\Sigma$ 调制器. 在过去的十几年中, 一些可以配置为若干种模式的 $\Delta\Sigma$ 调制器已陆续发表^[4-5], 它们大多被应用于数据接收机当中, 但是很少有一种 $\Delta\Sigma$ 调制器可以同时实现音频应用和数据接收应用.

本论文提出了一种双模可配置 $\Delta\Sigma$ 调制器结

构,该调制器可以被配置为 3 阶 4 比特结构,用以应用在音频等低速高精度应用中,也可以被配置为 2 阶 4 比特结构,用以应用在数据接收机等高速低精度应用中. 本设计使用的是 $0.18\ \mu\text{m}$ 的 CMOS 工艺,供电电压为 $1.8\ \text{V}$.

2 $\Delta\Sigma$ 调制器整体结构

$\Delta\Sigma$ 调制器的基本拓扑模型如图 1 所示,其采用的是带有前馈以及反馈支路的单环结构. 由于一条支路直接将输入信号前馈到量化器的输入端,因此积分器的输出端只有量化噪声分量,这样可以显著降低积分器输出摆幅. 调制器内置三个积分器,由于三阶结构相比两阶结构可以实现更高的精度,因此在高速低精度应用时第二个积分器是无效的,从而将调制器配置为两阶结构. 此外,前馈系数和反馈系数也可根据不同模式的选择而改变. 整体结构通过片外的控制位信号在两种模式间切换^[6].

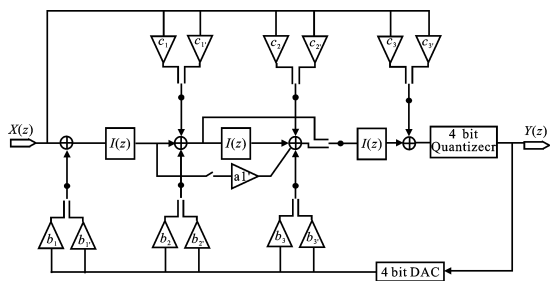


图 1 调制器系统模型

尽管多比特量化器相比单比特量化器需要更多的比较器来实现,但是其在性能方面的优势非常突出,因此,本设计采用了内置 16 个比较器的 4 比特量化器结构,量化器在两种模式下是共用的.

调制器的工作时钟频率为 $40\ \text{MHz}$,提高过采样率可以提高调制器理论峰值信噪比. 在高速模式下,输入信号的带宽为 $1.25\ \text{MHz}$,过采样率为 16,在低速模式下,工作时钟为原始时钟信号的 8 分频信号,即 $5\ \text{MHz}$,输入信号带宽为 $39\ \text{kHz}$,过采样率为 64.

调制器的前馈系数以及反馈系数可以通过 MATLAB 工具箱得出最优化的一组值,最终系数选择如下所示:

高频模式:

$$b_1 = 1, b_2 = 0, b_3 = 1.6, c_1 = 1.6, c_2 = 0, c_3 = 1$$

低频模式:

$$a_1' = 3, b_1' = 1, b_2' = 0, b_3' = 3, c_1' = 0, c_2' = 3, c_3' = 1$$

3 $\Delta\Sigma$ 调制器电路设计

3.1 调制器整体结构

图 2 为调制器电路实现整体结构,采用了离散时间开关电容电路实现. 电路采用全差分结构,一共包括三个开关电容积分器、一个包含 16 个比较器的 4 比特 Flash 量化器、动态元件匹配电路、16 级的开关电容数模转换器(DAC)以及大量的采样和反馈开关. 由于部分开关和电容都是在采样相对输入信号进行采样,并且在积分相对参考电压进行反馈,因此这些开关和电容在采样相和积分相是共用的,简化了版图的设计.

输入信号采样电容被分为 16 个单位电容,每个单位电容的值为 $406\ \text{fF}$,总的采样电容为 $6.496\ \text{pF}$. 第一级积分器引入了斩波稳定技术(Chopping)来减小闪烁噪声的影响,斩波频率可在片外进行调节.

并行支路上的采样开关采用的是互补 CMOS 开关,开关导通电阻为 $200\ \Omega$. 由于积分器输出摆幅较小,积分器输出端也采用了 CMOS 开关,导通电阻为 $30\ \Omega$. 输入信号前馈支路的采样开关采用的是自举开关(Bootstrapping),因为该信号电压变化范围可以从 $0\ \text{V}$ 到电源电压(VDD),普通 CMOS 开关不能在如此大的电压范围上保持良好的线性度^[7]. 控制信号为 CTRL 的开关的作用是使调制器结构在两种模式下进行切换.

3.2 运算放大器设计

前馈结构的 $\Delta\Sigma$ 调制器对于运算放大器的增益、输出摆幅、增益线性度要求均不高,因此共源共栅结构(Cascode)成为首选,因为其在功耗和输入噪声方面有着明显的优势. 运算放大器的功耗占据了整个系统功耗的绝大部分,因此降低运算放大器部分的功耗对于系统低功耗设计至关重要. 运算放大器的电路原理图如图 3 所示.

第一级积分器的噪声是整个系统噪声的主要来源,由于闪烁噪声可以被斩波模块显著抑制,因此热噪声便成了此部分的主要分析对象. 第一级积分器的热噪声可以由以下公式给出^[8].

$$N_{\text{tot}} = \frac{2kT}{osRC_s} \left(1 + \frac{2}{3}\gamma\right) \quad (1)$$

式(1)表明增大采样电容 C_s 的值可以减小热噪声,综合考虑 SNDR、功耗和芯片面积,最终采样电容值确定为 $6.496\ \text{pF}$.

仿真结果表明运算放大器的直流增益为 $50\ \text{dB}$,增益带宽积为 $500\ \text{MHz}$,相位裕度为 70° .

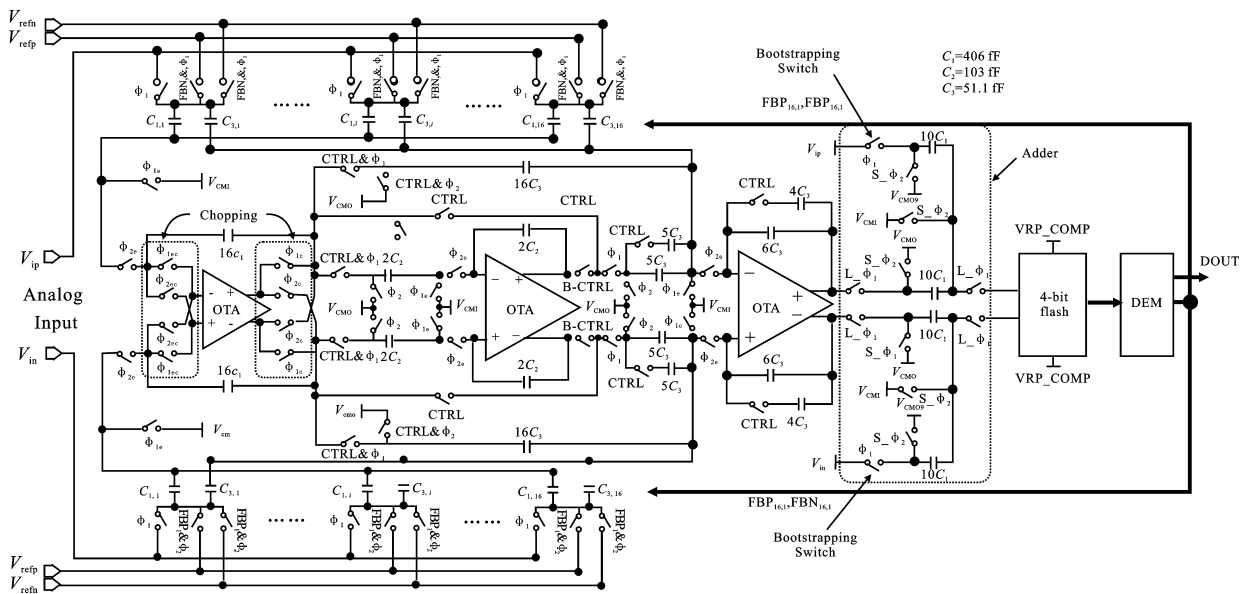


图 2 调制器开关电容电路结构

联的负载形式,从而提高放大器的增益,如图 4(a)所示. 引入输入失调校准技术还有另一个好处,预放大级的差分输入信号为 $V_{ip}\text{-}V_{RP}$ 和 $V_{in}\text{-}V_{RN}$,从而直接在输入端实现了相减. 预放大级在采样相实现信号的采样和放大,在积分相实现失调的存储. 第二级为锁存器,如图 4(b)所示. 锁存器在采样相关断时就开始工作,可以充分利用两相不交叠时钟. 由于调制器需要在采样相保持比较的结果,以使动态元件匹配模块正常工作,因此在第三级还有一个结果锁存器,如图 4(c)所示.

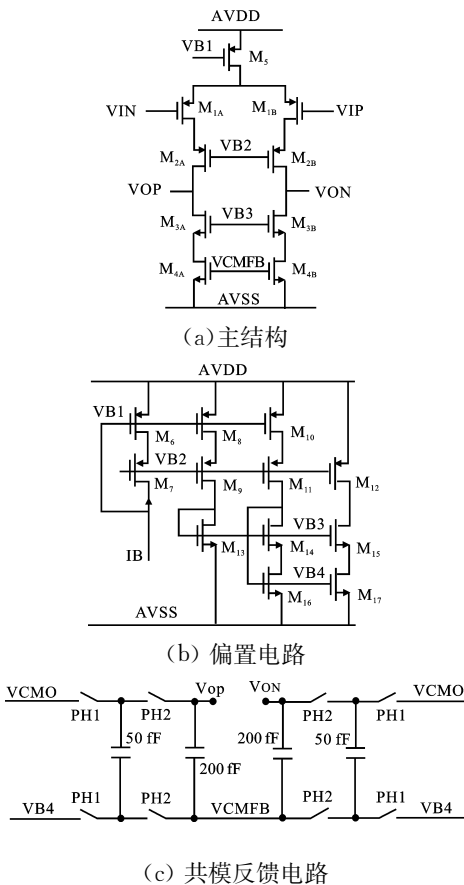
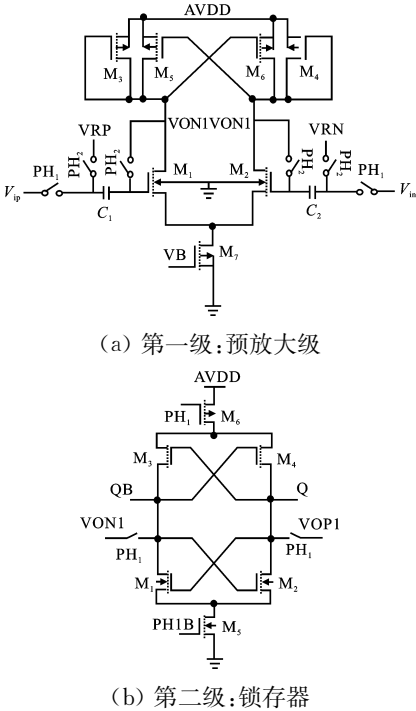


图 3 运算放大器电路结构

3.3 比较器设计

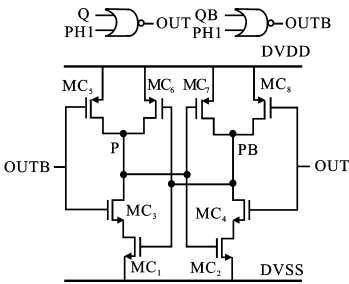
比较器的电路原理图如图 4 所示. 比较器引入了输入失调校准技术来减小输入失调的影响,包括一个预放大级和两个锁存器[9].

第一级预放大级采用了交叉耦合对与二极管并



(a) 第一级: 预放大级

(b) 第二级: 锁存器



(c) 第三级:结果锁存器

图 4 比较器电路结构

仿真结果显示每个比较器的静态电流只有 $20\text{ }\mu\text{A}$,功耗为 $36\text{ }\mu\text{W}$. 因此 16 个比较器实现了非常低的功耗,仅仅有 $576\text{ }\mu\text{W}$.

3.4 动态元件匹配模块

多比特 $\Delta\Sigma$ 调制器受 DAC 部分电容失配影响非常大,会使 SNDR 严重受限,解决此问题的一种方法便是使用动态元件匹配技术^[10]. 在此结构中,动态元件匹配模块使用的是 DWA(Data Weighted Averaging)算法,结构框图如图 5 所示. 其包括一个温度计码转二进制码的转换器、一个 4 比特加法器和一个移位器.

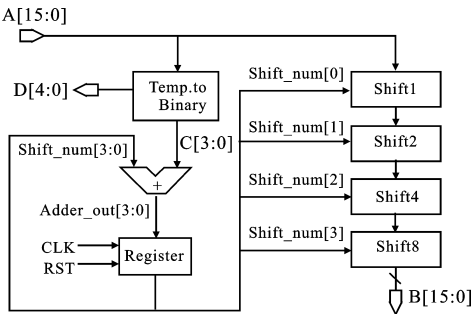


图 5 DWA 结构框图

4 仿真结果

本设计采用 $0.18\text{ }\mu\text{m}$ 1P6M CMOS 工艺,芯片版图如图 6 所示,核心区域面积为 $1\text{ }000\times 750\text{ }\mu\text{m}^2$. 图 7 为芯片后仿真输出结果频谱,在高频模式下,输入信号为 300 kHz 单频正弦信号,电压值为 1.5 V ,在 $0\sim 1.25\text{ MHz}$ 的信号带宽内峰值 SNDR 达到了 77.1 dB ;在低频模式下,输入信号为 10 kHz 单频正弦信号,电压值为 1.5 V ,在 $0\sim 39\text{ kHz}$ 的信号带宽内峰值 SNDR 达到了 108.9 dB . 整个芯片的功耗约为 12 mW .

表 1 为本芯片与 Miller 等已发表的一篇文章^[11]的仿真性能对比,可以看到,在应用条件基本接近的情况下,本芯片的各种性能均优于其设计.

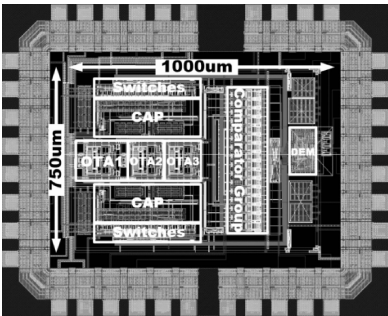
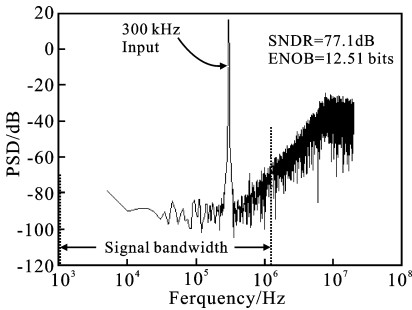
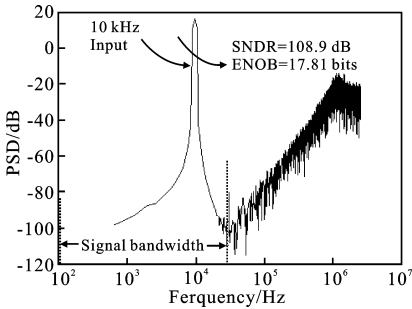


图 6 $\Delta\Sigma$ 调制器版图



(a) 高频模式



(b) 低频模式

图 7 仿真结果

表 1 性能比较

工作	文献[11]		本设计	
模式	AMPS	UMTS	低频模式	高频模式
带宽/MHz	0.018	1.92	0.039	1.25
采样频率/MHz	23	46	5	40
过采样率	639	12	64	16
SNDR/dB	93.3	75.2	108.9	77.1
功耗/mW	30	50	12	12
工艺	0.18 μm CMOS		0.18 μm CMOS	

5 结束语

本论文提出了一种双模可配置 $\Delta\Sigma$ 调制器结构,其既可应用于低频高精度领域,又可应用于高频低精度领域. 两种模式共享了绝大部分电路模块,包括电容和开关等. 调制器采用了一种高效的运算放大器结构和带有输入失调校准技术的比较器结构,

此外还引入了动态元件匹配电路来减小电容失配的影响。

仿真结果显示 $\Delta\Sigma$ 调制器在两种模式下分别可以达到 77.1 dB 和 108.9 dB 的峰值 SNDR, 两种模式下的输入信号带宽分别为 1.25 MHz 和 39 kHz, 芯片的整体功耗为 12 mW。

参考文献:

- [1] Gaggi R, Inversi M, Wiesbauer A. A power optimized 14-bit SC $\Delta\Sigma$ modulator for ADSL CO applications[C] // IEEE International Solid-State Circuits Conference, San Francisco, 2004: 82-83.
- [2] Fujimoto Y, Kanazawa Y, Lore P, et al. An 80/100MS/s 76.3/70.1dB SNDR $\Delta\Sigma$ ADC for digital TV receivers[C] // IEEE International Solid-State Circuits Conference, San Francisco, 2006: 76-77.
- [3] Malla P, Lakdawala H, Komegay K. A 28mW Spectrum-Sensing Reconfigurable 20 MHz 72dB-SNR 70dB-SNDR DT $\Delta\Sigma$ ADC for 802.11n/WiMax Receivers[C] // IEEE International Solid-State Circuits Conference, San Francisco, 2008.
- [4] Lim J. A low-power sigma-delta modulator for wireless communication receivers using adaptive biasing circuitry and cascaded comparator scheme[C] // Analog Integrated Circuits and Signal Processing, Berlin, Springer, 2006: 359-365.
- [5] Christen T. A 0.13 μ m CMOS EDGE/UMTS/WLAN

Tri-Mode $\Sigma\Delta$ ADC with -92dB THD[C] // Proc. ISS-CC 2007. San Francisco, 2007: 240-241.

- [6] Yi K, Soheil R, Jan C, et al. A systematic design methodology for power-optimal design of high-order multi-bit continuous-time Delta-Sigma modulators[C] // Springer Analog Integrated Circuits and Signal Processing, Berlin, Springer, 2008.
- [7] Dessouky M, Kaiser A. A 1V 1mW digital-audio $\Delta\Sigma$ modulator with 88 dB dynamic range using local switch bootstrapping[C] // 2000 IEEE Custom Integrated Circuits Conference, San Jose, 2000: 13 - 16.
- [8] Yves Geerts, Michiel Steyaert, Willy Sansen. Design of multi-bit delta-sigma A/D converters[M]. London: Kluwer Academic Publishers, 2002: 143-149.
- [9] Yin G, Eynde F, Sansen W. A high-speed CMOS comparator with 8-b resolution[J]. IEEE Journal of Solid-State Circuits, 1992, 27(2): 208-211.
- [10] Yves Geerts, Michiel Steyaert, Willy Sansen. Design of Multi-Bit Delta-Sigma A/D Converters[M]. London: Kluwer Academic Publishers, 2002: 19-25.
- [11] Miller T M R. A multibit sigma-delta ADC for multi-mode receivers[C] // IEEE J. of Solid-State Circuits, San Francisco, 2003: 475-482.

作者简介:

闫宁男, (1990-), 硕士研究生. 研究方向为数模混合集成电路设计. E-mail: ningyan09@126.com.

(上接第 41 页)

- [2] Zou D, Gao L, Li S, et al. An effective global harmony search algorithm for reliability problems[J]. Expert Systems with Applications, 2011, 38(4): 4642-4648.
- [3] Chen J, Pan Q, Li J. Harmony search algorithm with dynamic control parameters[J]. Applied Mathematics and Computation, 2012, 219(2): 592-604.
- [4] Mahamed G H Omran, Mahamed Mahdavi. Global-best harmony search[J]. Applied Mathematic and computation, 2008, 198(2): 643-656.
- [5] Wu B, Qian C, Ni W, et al. Hybrid harmony search and artificial bee colony algorithm for global optimization problems[J]. Computers & Mathematics with Applications, 2012, 64(8): 2621-2634.

- [6] Valian E, Tavakoli S, Mohanna S. An intelligent global harmony search approach to continuous optimization problems[J]. Applied Mathematics and Computation, 2014, 232(3): 670-684.
- [7] 翟军昌, 高立群, 欧阳海滨, 等. 一种自适应全局和声搜索算法[J]. 控制与决策, 2015, 30(11): 1503-1509.

作者简介:

彭泓女, (1967-), 博士, 副教授, 硕士生导师. 研究方向为计算机控制与应用、智能检测、数字信号处理。

王兆鑫(通信作者) 男, (1990-), 硕士研究生. 研究方向为智能算法处理与应用. E-mail: 1134492842@qq.com.